

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-125905

(43) 公開日 平成10年(1998) 5月15日

(51) Int.Cl. ⁶	識別記号	F I	
H 0 1 L 29/78		H 0 1 L 29/78	6 5 2 T
C 3 0 B 29/36		C 3 0 B 29/36	Z
H 0 1 L 29/16		H 0 1 L 29/16	
21/336		29/78	6 5 3 C
			6 5 8 Z

審査請求 未請求 請求項の数12 O L (全 7 頁)

(21) 出願番号 特願平8-275133

(22) 出願日 平成8年(1996)10月17日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 木藤 泰男

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

(72) 発明者 北岡 英二

愛知県刈谷市昭和町1丁目1番地 株式会
社デンソー内

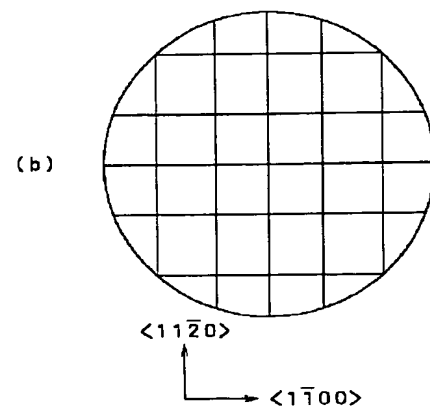
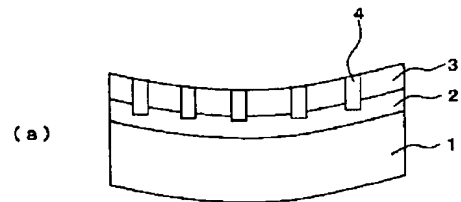
(74) 代理人 弁理士 伊藤 洋二

(54) 【発明の名称】 半導体基板および半導体基板のそり矯正方法

(57) 【要約】

【課題】 エピタキシャル層を有する半導体基板のそりを低減する。

【解決手段】 n^+ 型単結晶 SiC の半導体基板 1 の表面に n^- 型エピタキシャル層 2 と p 型エピタキシャル層 3 とが積層された SiC 基板 100 に、複数の溝 4 を形成する。この溝 4 は、図 2 (b) に示すように格子状に形成されている。この後、熱処理を行って、SiC 基板 100 のそりを矯正する。



【特許請求の範囲】

【請求項1】 半導体層上にエピタキシャル層が形成され、半導体素子が形成される前の状態の半導体基板であって、前記エピタキシャル層の表面に溝が形成され、熱処理によってそりが矯正された半導体基板。

【請求項2】 前記溝が複数形成されていることを特徴とする請求項1に記載の半導体基板。

【請求項3】 炭化珪素の半導体層上にエピタキシャル層が形成され、表面の面方位が略(0001-)カーボン面であり、半導体素子が形成される前の状態の炭化珪素基板であって、前記表面に溝が形成され、熱処理によってそりが矯正された炭化珪素基板。

【請求項4】 前記溝は、 $\langle 11-00 \rangle$ と $\langle 112-0 \rangle$ 方向に形成されて格子状になっていることを特徴とする請求項3に記載の炭化珪素基板。

【請求項5】 前記溝は、六角形状に形成されていることを特徴とする請求項3に記載の炭化珪素基板。

【請求項6】 前記半導体層および前記エピタキシャル層は、4H型の結晶構造のものであることを特徴とする請求項3乃至5のいずれか1つに記載の炭化珪素基板。

【請求項7】 第1導電型の半導体層上に、第1導電型のエピタキシャル層と第2導電型のエピタキシャル層が積層され、前記第2導電型のエピタキシャル層の表面の面方位が略(0001-)カーボン面であり、半導体素子が形成される前の状態の炭化珪素基板であって、前記第2導電型のエピタキシャル層の表面に溝が形成され、熱処理によってそりが矯正された炭化珪素基板。

【請求項8】 前記溝は、前記第2導電型のエピタキシャル層を貫通し前記第1導電型のエピタキシャル層に達する深さのものであることを特徴とする請求項7に記載の炭化珪素基板。

【請求項9】 半導体層上にエピタキシャル層が形成され、半導体素子が形成される前の状態の半導体基板において、前記半導体基板の表面に溝を形成し、この溝形成後に、熱処理を行って前記半導体基板のそりを矯正することを特徴とする半導体基板のそり矯正方法。

【請求項10】 半導体層上にエピタキシャル層が形成され、半導体素子が形成される前の状態の半導体基板において、前記半導体基板の表面に溝を形成するとともに前記半導体基板の端部を面取りし、この後、熱処理を行って前記半導体基板のそりを矯正することを特徴とする半導体基板のそり矯正方法。

【請求項11】 炭化珪素の半導体層上にエピタキシャル層が形成され、表面の面方位が略(0001-)カーボン面であり、半導体素子が形成される前の状態の、直径1インチ以上の炭化珪素基板において、前記炭化珪素基板の表面に溝を形成し、

この溝形成後に、熱処理を行って前記炭化珪素基板のそりを矯正することを特徴とする炭化珪素基板のそり矯正方法。

【請求項12】 表面の面方位が(0001-)カーボン面である六方晶系の第1導電型の半導体層上に、第1導電型のエピタキシャル層と第2導電型のエピタキシャル層が形成された炭化珪素基板を用意する第1工程と、前記第2導電型のエピタキシャル層の表面の所定領域に第1導電型の半導体領域を形成する第2工程と、前記半導体領域と前記第2導電型のエピタキシャル層を貫通し前記第1導電型のエピタキシャル層に達するトレンチを形成する第3工程と、前記トレンチ内にゲート熱酸化膜を形成する第4工程と、前記トレンチ内における前記ゲート熱酸化膜の内側にゲート電極層を形成する第5工程と、少なくとも前記半導体領域の表面に第1の電極層を形成する第6工程と、前記半導体基板の裏面に第2の電極層とを形成する第7工程とを有して炭化珪素半導体装置を製造する方法において、前記用意された炭化珪素基板の表面に溝を形成する工程と、この溝形成後に、前記第2工程から前記第7工程までのいずれのプロセス温度よりも高い温度で熱処理を行い、前記炭化珪素基板のそりを矯正する工程とを前記第2工程の前に設けたことを特徴とする炭化珪素半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体層上にエピタキシャル層が形成された炭化珪素基板等の半導体基板であって、そりが矯正された半導体基板およびそのそり矯正方法に関し、さらにそりが矯正された炭化珪素基板を用いて炭化珪素半導体装置を製造する方法に関する。

【0002】

【従来の技術】従来、炭化珪素(以下、SiCという)半導体装置をトレンチゲート型のSiCパワーMOSFETに用いたものが、特開平7-326755号公報、あるいは特開平8-70124号公報に開示されている。このSiCパワーMOSFETは、低オン抵抗、高耐圧等の優れた特性を有するものである。図13に、その断面構成を示す。

【0003】表面の面方位が(0001-)カーボン面である六方晶系のn⁺型単結晶SiCの半導体基板(低抵抗半導体層)1上に、n⁻型エピタキシャル層(高抵抗層)2とp型エピタキシャル層3が順次積層されて、SiC基板100を構成している。p型エピタキシャル層3内には、半導体領域としてのn⁺ソース領域5が形成されており、このn⁺ソース領域5とp型エピタキシ

ャル層3を貫通して n^- 型エピタキシャル層2に達するトレンチ6が形成されている。トレンチ6内には、ゲート熱酸化膜7が形成され、その上にゲート電極層8(8a、8b)が形成されている。さらに、層間絶縁膜9、 n^+ ソース領域5の表面、およびp型エピタキシャル層3の表面には、第1の電極層としてのソース電極層10が形成され、半導体基板1の裏面には、第2の電極層としてのドレイン電極層11が形成されている。

【0004】上記構成において、トレンチ6の側面6aでのp型エピタキシャル層3の表面がチャネルとなっており、ゲート電極8に正電圧が印加されてチャネルが形成されると、ソース・ドレイン間に電流が流れる。

【0005】

【発明が解決しようとする課題】しかしながら、半導体基板上に薄膜のエピタキシャル層(エピタキシャル成長膜)を堆積形成すると、エピタキシャル層形成時に生じた内部応力により基板にそりが生じる。このようなそりにより、半導体素子を製造する場合のマスク合わせにずれが生じる。特に、半導体基板のサイズが大口径化するに従ってその問題が顕著になる。本発明者らの実験によれば、SiC基板100において、その直径を1インチ以上にしたとき、SiC基板100のそりによるマスク合わせずれの問題が顕著になった。

【0006】本発明は上記問題に鑑みたもので、エピタキシャル層を有する半導体基板のそりを低減することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するため、請求項1に記載の発明においては、半導体層上にエピタキシャル層が形成され、半導体素子が形成される前の状態の半導体基板であって、エピタキシャル層の表面に溝が形成され、熱処理によってそりが矯正されていることを特徴としている。

【0008】溝形成後の熱処理によってエピタキシャル層の形成時に生じた内部応力が緩和されるため、そりが矯正された半導体基板を得ることができる。この場合、請求項2に記載のように、溝を複数形成すれば、そり矯正の効果を大きくすることができる。また、請求項3に記載の発明においては、表面の面方位が略(0001-)カーボン面であるSiC基板に適用し、そりが矯正されたSiC基板を得ることができる。

【0009】この場合、請求項4に記載の発明のように、 $\langle 11-00 \rangle$ と $\langle 112-0 \rangle$ 方向に形成された格子状のもの、あるいは請求項5に記載の発明のように、六角形状のものとすることができる。格子状の溝とした場合には、半導体チップをダイシングカットする場合のスクライブラインと兼用することができる。請求項6に記載の発明においては、半導体層およびエピタキシャル層を、4H型の結晶構造としている。4H型の結晶構造に適用した場合には、6H型の結晶構造としたもの

に比べ、そり矯正の効果が大きい。

【0010】請求項7に記載の発明においては、第1導電型の半導体層上に、第1導電型のエピタキシャル層と第2導電型のエピタキシャル層が積層され、第2導電型のエピタキシャル層の表面の面方位が略(0001-)カーボン面であるSiC基板に適用し、そりが矯正されたSiC基板を得ることができる。このようにして形成されたSiC基板により、SiCパワーMOSFETのようなSiC半導体装置の製造に用いることができる。

10 【0011】この場合、請求項8に記載のように、溝を、第2導電型のエピタキシャル層を貫通し第1導電型のエピタキシャル層に達する深さのものにすれば、そりの矯正を十分に行うことができる。請求項9に記載の発明においては、半導体基板の表面に溝を形成し、この溝形成後に、熱処理を行って半導体基板のそりを矯正する半導体基板のそり矯正方法の特徴としている。

【0012】この方法により、溝形成後の熱処理によってエピタキシャル層の形成時に生じた内部応力を緩和し、半導体基板のそりを矯正することができる。請求項20 10に記載の発明においては、半導体基板の表面に溝を形成するとともに半導体基板の端部を面取りした後、熱処理を行って半導体基板のそりを矯正する半導体基板のそり矯正方法の特徴としている。

【0013】溝形成に加えて端部の面取りを行うことにより、半導体基板のそりの矯正を一層良好に行うことができる。請求項11に記載の発明においては、SiCの半導体層上にエピタキシャル層が形成され、表面の面方位が略(0001-)カーボン面である直径1インチ以上のSiC基板において、SiC基板の表面に溝を形成し、この溝形成後に、熱処理を行って前記SiC基板のそりを矯正するSiC基板のそり矯正方法の特徴としている。

【0014】このように直径1インチ以上のSiC基板においても、そりを矯正することができる。請求項12に記載の発明においては、上記したSiCパワーMOSFETのようなSiC半導体装置の製造方法において、SiC基板のそりを矯正するために行う熱処理温度を、その後のいずれのプロセス温度よりも高い温度で行うことを特徴としている。

40 【0015】従って、そりが矯正されたSiC基板を用いて、半導体素子を形成する場合に、SiC基板のそりに変化がなく、マスク合わせずれの問題を生じることはない。

【0016】

【発明の実施の形態】以下、本発明をSiCパワーMOSFETに適用した場合の実施形態について説明する。図1乃至図10に、SiCパワーMOSFETを製造する工程を示す。まず、図1に示すように、表面の面方位が(0001-)カーボン面である低抵抗の n^+ 型単結晶SiCの半導体基板1の表面に、キャリア密度が $1 \times$

10^{16} cm^{-3} 程度で厚さが $3 \sim 4 \mu\text{m}$ の n^- 型エピタキシャル層2と、キャリア密度が $1 \times 10^{17} \text{ cm}^{-3}$ 程度で厚さが $2 \mu\text{m}$ の p 型エピタキシャル層3を順次積層し、SiC基板(ウェハ)100を形成する。この場合、半導体基板1の結晶軸を、(0001-)カーボン面に垂直な軸に対し約 $3.5^\circ \sim 8^\circ$ 傾けてあるため、 p 型エピタキシャル層3の主表面の面方位は、略(0001-)カーボン面となる。なお、SiC基板100は、直径が1インチ以上のものである。

【0017】次に、SiC基板100のそりを矯正する処理を実施する。まず、図2(a)に示すように、SiC基板100の表面にフォトリソグラフィ技術を用いて複数の溝4を形成する。この溝4は、幅 $30 \mu\text{m}$ 、深さ $5 \mu\text{m}$ で、図2(b)に示すように、 $\langle 11-00 \rangle$ と $\langle 112-0 \rangle$ 方向に 5 mm 間隔の格子状に形成される。なお、SiCパワーMOSFETの半導体チップは、溝4で囲まれた領域に形成されるので、溝4を、半導体チップをダイシングカットして取り出す場合のスクライブラインと兼用することができる。

【0018】溝4を形成した後、図3に示すように、ヒータ20内にSiC基板100を配設し、 1500°C で10分間、アルゴン雰囲気中で熱処理する。この熱処理により、エピタキシャル層2、3の形成時に生じた内部応力が緩和され、溝4によりSiC基板100の表面が動きやすくなって、SiC基板100のそりが矯正される。

【0019】この後、上記工程によりそりが矯正されたSiC基板100に、半導体素子としてのMOSFETを形成する。まず、図4に示すように、 p 型エピタキシャル層3に対しマスク材12を用いてイオン注入法により表面のキャリア濃度が $1 \times 10^{19} \text{ cm}^{-3}$ 程度で接合深さが $0.5 \mu\text{m}$ となる n^+ ソース領域5を形成する。

【0020】次に、マスク材12を除去した後、図5に示すように、マスク材13を用いて反応性イオンエッチング(RIE)法により、 n^+ ソース領域5と p 型エピタキシャル層3を貫通し n^- 型エピタキシャル層2に達する、深さ $2.7 \mu\text{m}$ のトレンチ6を形成する。このトレンチ6は、 p 型エピタキシャル層3の表面に垂直な側面6aおよび p 型エピタキシャル層3の表面に平行な底面6bを有する。

【0021】なお、このSiCパワーMOSFETにおいては、チャネル面を $\langle 112-0 \rangle$ 面にするとリーク電流が最小となるため、トレンチ6の側面6aを略 $\langle 112-0 \rangle$ 方向に延設させている。この後、図6に示すように、熱酸化法によりトレンチ内壁に犠牲酸化膜としての熱酸化膜15を 1100°C で5時間程度の熱酸化工程により形成する。この熱酸化により、RIE法で形成されたトレンチ内壁のダメージ層が酸化される。なお、熱酸化膜15は、トレンチ6の側面6aで厚さ 50 nm 、トレンチ6の底面6bで厚さ 500 nm になる。

【0022】そして、図7に示すように、この熱酸化膜15を弗酸により除去した後、マスク材13を除去する。この熱酸化膜15を除去することにより、トレンチ内壁のダメージ層が除去される。次に、図8に示すように、熱酸化法によりゲート熱酸化膜7を 1100°C で5時間程度の一度の熱酸化工程により形成する、この熱酸化によりトレンチ6の側面6aに位置する厚さが 50 nm の薄いゲート熱酸化膜7aと、トレンチ6の底面6bに位置する厚さが 500 nm の厚いゲート熱酸化膜7bが形成される。さらに、 n^+ ソース領域5上には厚さが 500 nm の厚いゲート熱酸化膜7cが形成される。

【0023】続いて、図9に示すように、トレンチ6内を、第1及び第2ポリシリコン層8a、8bにより順次埋め戻す。この後、第1及び第2ポリシリコン層8a、8b上を含めたゲート熱酸化膜7上に、CVD法により層間絶縁層9を形成し、ソースコンタクト予定位置の n^+ ソース領域5と p 型エピタキシャル層3の表面上にあるゲート熱酸化膜7と層間絶縁層9を除去する。そして、 n^+ ソース領域5と p 型エピタキシャル層3及び層間絶縁層9上にソース電極層10を形成するとともに、半導体基板1の裏面にドレイン電極層11を形成して、図13に示すSiCパワーMOSFETを完成させる。

【0024】なお、上記したSiCパワーMOSFETはセル領域に集積化して形成されており、そのセル領域の外周にはガードリングが形成されている。このガードリングは次のようにして形成される。図10に示すセル領域の外周部において、図5に示すトレンチ6の形成時に、同時に溝16が形成される。そして、図6、図7に示す犠牲酸化膜15の形成・除去処理を行った後、マスク材17を形成してイオン注入を行い、マスク材17を除去した後、 1300°C の熱処理を行ってガードリング18を形成する。

【0025】このガードリング18の形成のための熱処理温度 1300°C が、図4以後の工程におけるプロセス温度の中で最も高い温度となるが、それよりも図3に示すそり矯正のための熱処理温度の方を高くしているため、図4以後の工程においてSiC基板100のそりが変化することはない。このため、図4以後の工程において、マスク合わせのずれの問題は生じない。なお、図3に示すそり矯正のための熱処理温度としては、 1300°C より高く 2000°C 以下の温度が好ましい。

【0026】なお、上記した実施形態では、SiC基板100に溝4を形成してそりを矯正するものを示したが、図11に示すように、溝4の形成に加え、SiC基板100の上下両面端部を面取り($C0.5 \text{ mm}$ で端面研磨)し、図3に示す熱処理を行ってその矯正を行うようにしてもよい。この面取りを行うことにより、その矯正を一層良好に行うことができる。

【0027】また、溝4の形状は、図2(b)に示す格子状のものに限らず、図12に示す六角形状としてもよ

い。また、SiC基板100としては、6H型、4H型の結晶構造のものがあるが、発明者らの実験によれば、6H型よりも4H型の方がそり矯正の効果が大きいことが確認された。

【0028】なお、本明細書において、六方晶系の単結晶SiCの面方位等を表す場合、図面中に示したように本来ならば所要の数字の上にバーを付した表現をとるべきであるが、表現手段に制約があるため、所要の数字の上にバーを付す表現の代わりに、所要数字の後ろに「-」を付して表現している。

【図面の簡単な説明】

【図1】本発明の一実施形態にかかるSiCパワーMOSFETの最初の製造工程を説明するための断面図である。

【図2】図1に続く製造工程で、SiC基板100の表面に複数の溝4を形成する工程を説明するための断面図である。

【図3】図2に続く製造工程で、熱処理を行ってSiC基板100のそりを矯正する工程を説明するための断面図である。

【図4】図3に続く製造工程で、n⁺ソース領域5を形成する工程を説明するための断面図である。

【図5】図4に続く製造工程で、トレンチ6を形成する工程を説明するための断面図である。

【図6】図5に続く製造工程で、犠牲酸化膜15を形成*

*する工程を説明するための断面図である。

【図7】図6に続く製造工程で、犠牲酸化膜15を除去する工程を説明するための断面図である。

【図8】図7に続く製造工程で、ゲート熱酸化膜7を形成する工程を説明するための断面図である。

【図9】図8に続く製造工程で、ゲート電極層8（8a、8b）を形成する工程を説明するための断面図である。

【図10】ガードリング18を形成する工程を説明するための断面図である。

【図11】図2に示す工程の変形例を示す断面図である。

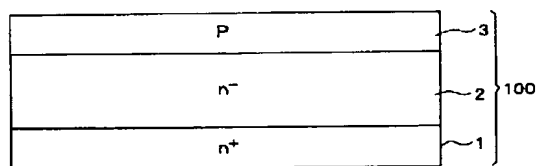
【図12】SiC基板100の表面に形成する溝4の変形例を示す図である。

【図13】SiCパワーMOSFETの断面図である。

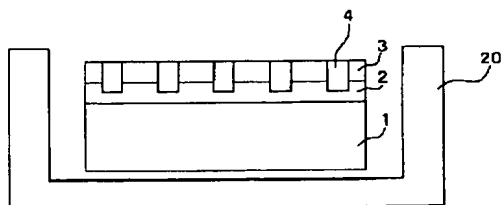
【符号の説明】

1…低抵抗半導体層としての半導体基板、2…高抵抗半導体層としてのn⁻型エピタキシャル層、3…第2導電型の半導体層としてのp型エピタキシャル層、4…溝、5…半導体領域としてのn⁺ソース領域、6…トレンチ、7…ゲート熱酸化膜、8…ゲート電極層、10…第1の電極層としてのソース電極層、11…第2の電極層としてのドレイン電極層、18…ガードリング、20…ヒータ、100…SiC基板。

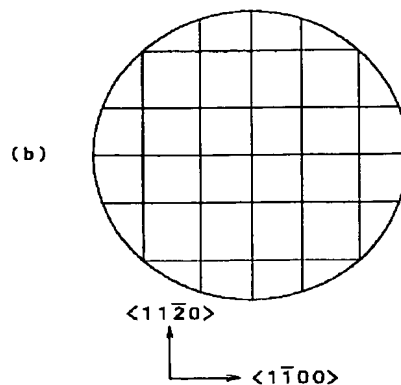
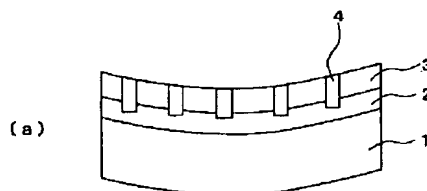
【図1】



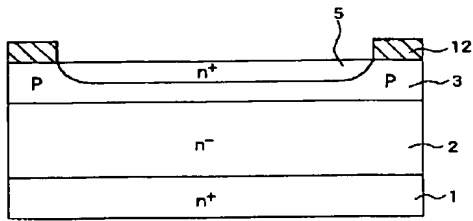
【図3】



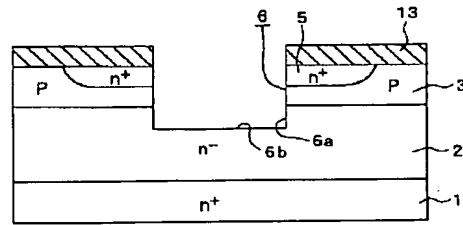
【図2】



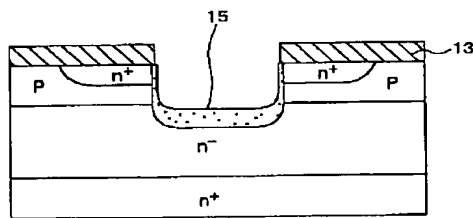
【図4】



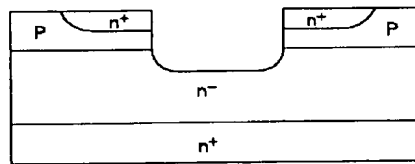
【図5】



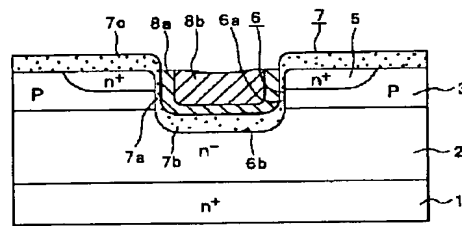
【図6】



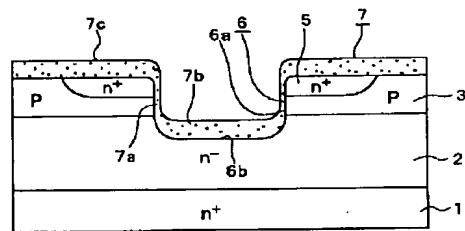
【図7】



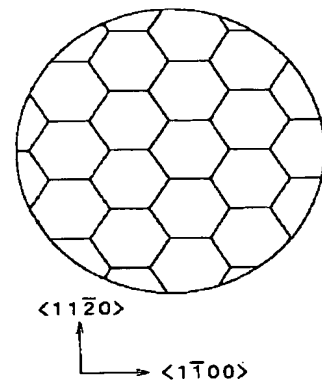
【図9】



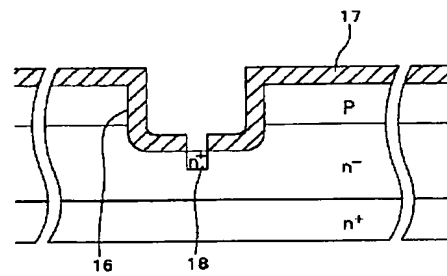
【図8】



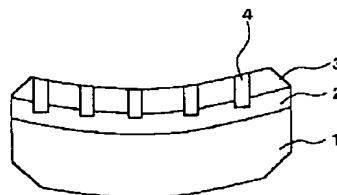
【図12】



【図10】



【図11】



【図13】

